



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

PCT/IB 03 / 05976

(1 0 12 03)

Bescheinigung

Certificate

Attestation

REC'D 0.7 JAN 2004

WIPO

PCT

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02080664.2

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

BEST AVAILABLE COPY



Anmeldung Nr:
Application no.: 02080664.2
Demande no:

Anmeldetag:
Date of filing: 20.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L23/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL
PT SE SI SK TR

Elektronische inrichting en werkwijze voor het vervaardigen ervan

De uitvinding heeft betrekking op een elektronische inrichting, omvattende:
een eerste chip met een actieve zijde en een achterzijde, aan welke actieve
zijde de eerste chip van eerste en tweede aansluitgeleiders voorzien is;

5 een tweede chip met een actieve zijde en een achterzijde, aan welke actieve
zijde de tweede chip van eerste aansluitgeleiders voorzien is, welke eerste en tweede chip
met de actieve zijden naar elkaar toegekeerd zijn, waarbij de eerste aansluitgeleiders van de
chips met eerste metaalverbindingen onderling elektrisch geleidend verbonden zijn;

10 een substraat met een eerste zijde, die naar de actieve zijde van de eerste chip
is toegekeerd, welk substraat aansluitgeleiders omvat, die met een tweede metaalverbinding
elektrisch geleidend verbonden zijn met de tweede aansluitgeleiders van de eerste chip.

15 De uitvinding heeft tevens betrekking op een werkwijze voor het vervaardigen
van een dergelijke elektronische inrichting, waarin een geheel van de eerste chip en de
tweede chip wordt aangebracht aan de eerste zijde van het substraat onder vorming van
elektrisch contact tussen de aansluitgeleiders op het substraat en de tweede aansluitgeleiders
op de eerste chip met de tweede metaalverbinding.

20 Een dergelijke inrichting en een dergelijke werkwijze zijn bekend uit US-BI
6,225,699. De eerste en de tweede chips zijn een processor- en een geheugenchip in het
bijzonder. Opgemerkt wordt dat in de context van deze aanvraag een chip een schakeling van
componenten bevat die op een substraat zijn aangebracht. In de bekende inrichting is het
substraat een schijnbaar willekeurig substraat met een vlak oppervlak, zoals een drager, een
substraat of een derde chip. De metaalverbindingen in de bekende inrichting zijn metaal- of
25 soldeerbollen, soldeerkolommen, elektroplated koper kolommen, micro-velcro verbindingen,
polymeer-metaalverbindingen of zogenoemde C4 (controlled collapse chip connection)
verbindingen. De tweede metaalverbinding bestaat hierbij in het bijzonder uit een gedeelte
met een hoog smeltpunt - ook reflowtemperatuur genoemd - en een gedeelte met een lagere
reflowtemperatuur dan die van de eerste metaalverbinding. Op deze wijze is gerealiseerd dat

PHNL021491EPP

2

20.12.2002

de hoogte van de tweede metaalverbinding ten minste zo groot is als de hoogte van de tweede chip en de eerste metaalverbinding samen.

De bekende inrichting heeft echter verschillende nadelen. Wanneer het substraat een drager is, zoals een printed circuit board, is het een nadeel dat de tweede chip
5 niet of nauwelijks beschermd is. Bovendien is de assemblage van de inrichting op de drager, die door een afnemer dient te gebeuren nogal gevoelig voor afwijkingen in de aangebrachte temperatuur. Bij een te hoge temperatuur zullen de eerste metaalverbindingen bezwijken, terwijl bij een te lage temperatuur geen goed contact tussen de aansluitgeleiders op de drager en die op de eerste chip tot stand gebracht wordt.

10 Wanneer het substraat een derde chip of een substraat met een vlak oppervlak – i.e. een substraat van een keramisch materiaal, zoals toegepast als interposer substraat – is, heeft de inrichting andere nadelen. Zo is de hoogte van de totale inrichting nogal groot is, terwijl interposer substraten voor veel toepassingen te duur blijken.

15

Het is aldus een eerste doel van de uitvinding om een inrichting van de in de aanhef genoemde soort te verschaffen, die door een gebruiker zonder specifieke maatregelen op een drager geplaatst kan worden en bovendien voldoet aan de voor halfgeleiderinrichtingen gebruikelijke vereisten.

20

Dit eerste doel is daardoor bereikt dat:

het substraat een heatsink omvat die met geleidende lijm verbonden is met de achterzijde van de tweede chip, en contactvlakken omvat die gecontacteerd kunnen worden aan de tweede zijde van het substraat; en

25

een omhulling van passiverend materiaal aanwezig is, die de eerste en de tweede chip althans substantieel omhult en waaraan het substraat vastgehecht is.

30

De inrichting volgens de uitvinding toont zich als een substraat met contactvlakken, waarop een omhulling aanwezig met daarin een aantal elementen. De omhulling is daarbij niet alleen een bescherm laag tegen vuil, vocht en dergelijke invloeden. De omhulling is ook en vooral de materie die zorgt voor de mechanische stabiliteit van de inrichting. Wanneer tijdens een verdere soldeer- of warmtebehandeling de temperatuur uitgaat boven de reflowtemperatuur van één of meer van de metaalverbindingen of gedeelten daarvan, valt de inrichting dankzij de omhulling niet uit elkaar. De omhulling zorgt daarbij voor een goede hechting tussen het substraat en de rest van de inrichting. Dat is bij voorkeur

gerealiseerd met openingen in het substraat, waardoor het substraat ingebed en verankerd wordt in de omhulling.

De mechanische functie van de omhulling maakt het bovendien mogelijk om het substraat althans grotendeels weg te laten, dus te beperken tot een of meer geleidende lagen voor benodigde interconnects en externe contactering. Hiermee wordt het formaat van de inrichting gereduceerd, in het bijzonder de dikte. Ook met een substraat is de inrichting echter al compacter dan de bekende inrichting met een keramisch substraat of een derde chip. In de inrichting bevinden zich de contactvlakken namelijk aan de tweede zijde van het substraat. Dit wil zeggen dat een loodrechte projectie van de contactvlakken op de actieve zijde van de eerste chip althans grotendeels binnen de eerste chip valt. In de bekende techniek, met een verdere chip of met een interposer substraat, zijn geen verbindingen door het substraat heen naar de tweede zijde. De contactvlakken liggen aan de eerste zijde, en wel buiten de eerste chip.

De aanwezigheid van een omhulling bemoeilijkt echter de warmtedissipatie van de eerste chip wel. Om dit bijkomende probleem op te lossen bevat de inrichting een heatsink die met geleidende lijm verbonden is aan de achterzijde van de eerste chip. Deze achterzijde is daartoe bij voorkeur voorzien van een elektrisch geleidende laag. Opgemerkt wordt dat de heatsink ook of zelfs primair als beaarding dienst kan doen, wanneer dit gewenst is.

In een gunstige uitvoeringsvorm heeft de tweede metaalverbinding ten minste gedeeltelijk een lagere reflowtemperatuur heeft dan de eerste metaalverbinding. In het bijzonder wordt hierbij gebruik gemaakt van een metaalbal. Verrassenderwijs is gevonden dat zo'n metaalbal, ondanks een dergelijke lage reflowtemperatuur niet uitvloeit. Uit experimenten, waarin de nog niet omhulde inrichting tien maal door de reflow-oven zijn gehaald, bleek dat ondanks de lage temperatuur de tweede metaalverbinding niet kapot ging. Gunstige materialen zijn onder meer soldeer van tin, zilver en koper, ook bekend als SAC-soldeer, met ten minste dan 95% Sn, 3-5% Ag en 0-1% Cu, en euteotisch PbSn. Opgemerkt wordt dat de metaalverbinding ook uit verschillende delen opgebouwd kan zijn, bijvoorbeeld met een koperkolom en een kleine soldeerbal daarbovenop.

Bovendien is gevonden, dat door toepassing van een dergelijke, laagsmeltende tweede metaalverbinding onnauwkeurigheden in de dikte van de tweede chip, de eerste metaalverbinding, de lijm laag en in het bijzonder onderdelen in het substraat opgevangen kunnen worden. Dankzij de reflow van de tweede metaalverbinding relaxeert de spanning die opgebouwd is ten gevolge van de afwijkingen in de dikten en hoogten van de genoemde

onderdelen en lagen. Het resultaat hiervan is dat het contactvlak van de heatsink en de contactvlakken van de aansluitgeleiders in de inrichting een coplanaire positie hebben. Overigens kan een dergelijk relaxatie-effect ook op andere wijze bewerkstelligd worden, bijvoorbeeld door een underfill aan te brengen tussen de eerste en de tweede chip en daarbij
5 een gewoon hoogsmeltend soldeer toe te passen. Deze andere wijze omvat echter weer een additionele stap, terwijl tijdens de reflow een hogere temperatuur nodig is.

Voorts is het voordelig gebleken om voor de eerste metaalverbinding goudballen toe te passen, bijvoorbeeld als Au/Au, Au/NiAu of Au/Al. Een dergelijke metaalverbinding kan vastgezet worden met thermocompressie, hetgeen praktische voordelen
10 heeft.

In een verdere, gunstige uitvoeringsvorm is het substraat een leadframe voorzien van openingen, waarin het passiverende materiaal van de omhulling aanwezig is. Door de openingen in het substraat treedt verankering op van het substraat in de omhulling. Het leadframe heeft voorts als voordeel dat het zeer dun kan zijn. Het is in wezen een enkele
15 geleidende laag of een stapeling van enkele geleidende lagen. Een bijzonder gunstig leadframe is bekend als HVQFN (High Voltage Quad Flat Non-Leaded). Verdere gunstige leadframes bestaan in wezen uit een of enkele lagen, die op een opofferingslaag worden aangebracht. De opofferingslaag wordt verwijderd nadat de omhulling is aangebracht. Een voorbeeld hiervan is beschreven in de niet-voorgepubliceerde aanvraag EP02079544.9
20 (PHNL021100).

In een nog verdere, gunstige uitvoeringsvorm is heeft de lijm een laagdikte van minder dan 50 µm, in het bijzonder tussen 10 en 25 µm. Het is gebleken dat met een afnemende laagdikte minder spreiding optreedt in de afstand tussen het substraat en de achterzijde van de tweede chip. Het is van belang om deze spreiding beperkt te houden,
25 aangezien er al een aantal andere spreidingsfactoren zijn. Wanneer echter de lijmlaag te dun wordt, is er kans op onvoldoende hechting en neemt de benodigde kracht voor het aanbrengen onevenredig toe. Een te hoge kracht geeft een verhoogd risico op uitval van metaalballen.

Het is gunstig wanneer de tweede chip in een vlak parallel aan de actieve zijde
30 een kleinere oppervlakte heeft dan de eerste chip. Hoewel de tweede chip ook verschoven kan zijn ten opzichte van de eerste, is het voor de mechanische stabiliteit gunstig, wanneer de tweede chip slechts een gedeelte van de actieve zijde van de eerste chip bedekt.

Een dergelijke chip-on-chip constructie is bijvoorbeeld aantrekkelijk voor de combinatie van een microprocessor en een geheugenchip, voor een functionele chip en een

identificatiechip. Het is echter in het bijzonder gunstig wanneer de eerste chip een geïntegreerde schakeling van in hoofdzaak passieve componenten bevat, terwijl de tweede chip een geïntegreerde schakeling van in hoofdzaak actieve componenten bevat. Hierbij wordt opgemerkt dat de eerste chip desondanks een aantal actieve componenten kan bevatten, terwijl de tweede chip ook een aantal actieve componenten kan bevatten. De eerste chip is hierbij vervaardigd op een halfgeleidersubstraat, met een geleidende verbinding naar de achterzijde. Het halfgeleidersubstraat kan na de vervaardiging gedeeltelijk verwijderd zijn, in het bijzonder met etsen en/of polijsten, zoals de vakman bekend. De tweede chip kan vervaardigd zijn op een halfgeleidersubstraat, bijvoorbeeld van silium, maar eveneens op een elektrisch isolerend substraat, bijvoorbeeld glas, Al_2O_3 of een keramisch materiaal. Passieve elementen die aanwezig kunnen zijn omvatten spoelen, weerstanden en condensatoren, maar tevens resonatoren, micro-electromechanische systeem (MEMS)-elementen, antennes, microstrips en sensoren.

De combinatie van een eerste, passieve chip en een tweede actieve chip is in het bijzonder gunstig, aangezien het formaat van passieve componenten veelal groter is dan het formaat van actieve elementen, terwijl tegelijkertijd aan de resolutie van de passieve componenten minder eisen gesteld worden. Ook is het een voordeel dat de eerste en de tweede chip substraten kunnen hebben met een verschillende weerstand. Het is, in het bijzonder voor hoogfrequente toepassingen, een voordeel dat de eerste, passieve chip en de tweede actieve chip vlakbij elkaar aanwezig zijn. Het hoogfrequente gedrag maakt immers dat bonddraden en interconnectverbindingen ongewenst ook als spoel actief zijn. Dit wordt in deze uitvoeringsvorm danig beperkt.

In een bijzondere uitvoeringsvorm de eerste chip een substraat uit gedoteerd halfgeleidermateriaal bevat met poriën, die zich in een richting in wezen loodrecht op het vlak parallel aan de actieve zijde uitstrekken en waarin condensatoren gedefinieerd zijn. Dergelijke condensatoren hebben een grote capaciteit, en zijn daarmee onder meer zeer geschikt als ontkoppelcondensatoren. Het is een voordeel van het gebruik van dergelijke condensatoren, dat het benodigde oppervlak voor de condensatoren gering blijft. Hierdoor kan bijvoorbeeld gemakkelijk aan de ontwerpvoorwaarde voldaan worden, dat de eerste aansluitgeleiders bij projectie op het substraat in hoofdzaak binnen de heatsink vallen.

In een andere uitvoeringsvorm is een derde chip met een actieve zijde en een achterzijde aanwezig. Deze is aan de actieve zijde van aansluitgeleiders voorzien is. Net als de tweede chip is de derde chip met de actieve zijde naar de actieve zijde van de eerste chip toegekeerd, waarbij de aansluitgeleiders van de derde chip met verdere aansluitgeleiders van

PHNL021491EPP

6

20.12.2002

de eerste chip met metaalverbindingen onderling elektrisch geleidend verbonden zijn. Het substraat bevat daarbij een tweede heatsink, welke tweede heatsink met geleidende lijm verbonden is met de achterzijde van de derde chip. In deze uitvoeringsvorm is de eerste chip de drager voor de tweede en de derde chip. De warmtedissipatie van beide chips is daarbij
5 verzekerd door onafhankelijke heatsinks. Indien gewenst voor de toepassing, kunnen de heatsinks daarbij aangesloten zijn op verschillende spanningen.

Voor de aanwezigheid van een derde chip in de inrichting zijn verschillende toepassingen. Een eerste toepassing is dat zowel de tweede als de derde chip versterkers zijn, elk voor een bepaalde frequentieband. Een tweede toepassing is dat de tweede chip een
10 transceiver chip is, terwijl de derde chip een voltage-controlled oscillator is. Een derde toepassing is dat de eerste chip sensoren bevat, terwijl de tweede chip deze sensoren aanstuurt en de derde chip zorgt voor verwerking van de door de chip gemeten data. Het is hier gunstig, maar niet noodzakelijk dat de eerste chip een geïntegreerde schakeling van passieve componenten bevat.

15

Het is een tweede doel van de uitvinding om een werkwijze te verschaffen, waarmee de inrichting volgens de uitvinding met een betrouwbaar resultaat vervaardigd kan worden. Dit doel is daardoor bereikt dat de werkwijze de stappen omvat van:

20 het verschaffen van een geheel van een eerste chip en een tweede chip, elk met een actieve zijde en een achterzijde, welke actieve zijden, die van eerste aansluitgeleiders voorzien zijn, naar elkaar toegekeerd zijn en de eerste aansluitgeleiders onderling elektrisch geleidend verbonden zijn met een eerste metaalverbinding, welke eerste chip aan de actieve zijde voorzien is van tweede aansluitgeleiders;

25 het verschaffen van een substraat met met een eerste en een tegenoverliggende tweede zijde, welk substraat een heatsink, aansluitgeleiders en contactvlakken voor externe contactering omvat,

het aanbrengen van het geheel van de eerste en de tweede chip aan de eerste zijde van het substraat, waarbij de aansluitgeleiders met een tweede metaalverbinding
30 elektrisch geleidend verbonden worden met de tweede aansluitgeleiders van de eerste chip, en waarbij de heatsink met geleidende lijm verbonden wordt met de achterzijde van de tweede chip;

het uitharden van de lijm;

het hersmelten van ten minste een gedeelte van de tweede metaalverbinding onder relaxatie van spanning veroorzaakt door inkrimping van de lijmlaag tijdens het uitharden, en

het aanbrengen van een omhulling van passiverend materiaal om de eerste en de tweede chip en de metaalverbindingen, welk materiaal gehecht wordt aan het substraat,

5 Bij het aanbrengen van het geheel wordt de tweede chip in de lijmlaag geduwd met een zodanige kracht dat er een verbinding gevormd wordt. Bij het uitharden van de lijn blijft deze verbinding in stand, en krimpt de lijn. Dit heeft tot gevolg, dat de heatsink met de lijn mee omhoog komt. Hierdoor ontstaat een spanning. Deze wordt gerelaxeerd door het hersmelten van ten minste een gedeelte van de tweede metaalverbindingen. Bij dit hersmelten
10 wordt ook de rest van het substraat omhoog getrokken. De aldus verkregen, gebalanceerde of zelfs grotendeels spanningsvrije situatie wordt vervolgens vastgelegd door het aanbrengen van de omhulling van passiverend materiaal, die op gebruikelijke wijze uithardt of uitgehard wordt, bijvoorbeeld door een warmtebehandeling.

In een gunstige uitvoeringsvorm bevinden de aansluitgeleiders in het substraat
15 zich op een elastische laag, zodat bij het aanbrengen van het geheel op het substraat de aansluitgeleiders in zekere mate en reversibel kunnen verbuigen. In het bijzonder is de elastische laag een laag van lucht, en is het substraat een twee- of meerlaagsleadframe, waarbij de aansluitgeleiders slechts aan één einde ondersteund worden. Dankzij de verbuiging komt er een additionele spanning op het substraat, die bijdraagt aan de
20 verschuiving richting de eerste chip. Bovendien kan er met een tweelaagsleadframe op deze wijze voor gezorgd worden, dat alle contactvlakken, dat wil zeggen die van de heatsink en die van de aansluitgeleiders coplanair geordend zijn.

In een verdere uitvoeringsvorm bevat de tweede metaalverbinding een soldeer
25 met een reflowtemperatuur die lager is dan de reflowtemperatuur van de eerste metaalverbinding. Dit is een eenvoudige manier om te voorkomen, dat de eerste metaalverbinding door vervloeien kapotgaat tijdens de relaxatiestap. Het is bovendien gunstig dat de tweede metaalverbinding uit soldeer bestaat dat geheel kan smelten. Dat zorgt er namelijk voor dat de tweede metaalverbinding aanzienlijk kan inkrimpen. Hierbij is een
30 hoogte gelijk aan die van het totaal van lijmlaag, tweede chip en eerste metaalverbinding het doel. Wanneer de in te krimpen afstand ongeveer 10 micrometer is, kan dat wel gerealiseerd worden met een soldeerbol van 50 micrometer, maar niet met één van 10 micrometer.

Voor het aanbrengen van het soldeer zijn er uiteenlopende technieken. Het is bijvoorbeeld mogelijk om een soldeerbol op het substraat te plaatsen, terwijl de tweede aansluitgeleider voorzien is van een laag Au. Het is eveneens mogelijk om de soldeerbol aan

de tweede aansluitgeleider van de eerste chip te bevestigen, terwijl bij het aanbrengen een fluxbehandeling van zuur gegeven wordt, danwel een laag flux reeds op het substraat aanwezig is. Het heeft echter de voorkeur om een soldeerbol aan de tweede aansluitgeleider te bevestigen, terwijl een soldeerdot, die bijvoorbeeld in een 50-50 verhouding
5 soldeerdealtjes en zuur bevat, op het substraat is aangebracht.

In een nog verdere uitvoeringsvorm wordt de lijm in een laagdikte van minder dan 50 μm toegepast. Bij het aanbrengen van het geheel van de chips op het substraat wordt de tweede chip in de lijmlaag gedrukt. Dit gebeurt met een zekere kracht. Wanneer nu de lijmlaag dik is, levert een geringe afwijking van de bedoelde kracht reeds een behoorlijke
10 afwijking in de uiteindelijk verkregen dikte van de lijmlaag op. Wanneer de dikte van de lijmlaag afneemt, neemt de afwijking in de dikte bij afwijking in de kracht nog sterker af.

Deze en andere aspecten van de inrichting en de werkwijze volgens de
15 uitvinding zullen nader toegelicht worden aan de hand van de volgende schematische figuren, waarin:

Fig. 1A-ID in schematische doorsnede verschillende stadia in de werkwijze tonen

Fig. 2 in schematische doorsnede de verkregen inrichting toont;

20 Fig. 3 in schematische doorsnede een tweede uitvoeringsvorm van de inrichting toont;

De figuren zijn niet op schaal en sommige onderdelen zijn voor de
25 duidelijkheid vergroot weergegeven. Gelijke verwijzingscijfers in verschillende figuren verwijzen naar gelijke of vergelijkbare onderdelen. De uitvoeringsvoorbeelden zijn slechts bedoeld als voorbeelden en mogen geenszins als beperking van de beschermingsomvang
gelezen worden.

Fig. 1A toont een eerste stap in de werkwijze waarbij een substraat 10 en een
30 geheel 50 van een eerste chip 20 en een tweede chip 30 worden verschaft. De eerste chip 20 en de tweede chip 30 hebben elk een actieve zijde 21,31 en een achterzijde 22,32. Aan de actieve zijde zijn de elementen gedefinieerd, in casu een geïntegreerde schakeling van passieve componenten in de eerste chip 20 en een geïntegreerde schakeling van actieve elementen in de tweede chip 30. De tweede chip 30 bevat in dit voorbeeld een substraat van

silicium, maar kan eveneens een substraat van bijvoorbeeld een III-V materiaal bevatten. De eerste chip 20 en de tweede chip 30 zijn aan hun actieve zijden 21,31 voorzien van eerste aansluitgeleiders, die omwille van de duidelijkheid niet zijn weergegeven. De eerste aansluitgeleiders zijn onderling verbonden met eerste metaalverbindingen 24, die in dit geval
5 metaalbollen Au bevatten. De eerste metaalverbindingen 24 zijn ontstaan door op zowel de eerste chip 20 als de tweede chip 30 Au aan te brengen, en deze vervolgens een thermocompressiebehandeling te geven. De eerste metaalverbindingen 24 kunnen ingebed zijn in een underfill-laag, die op zich bekend is. De eerste chip 20 is voorts voorzien van evenmin weergegeven tweede aansluitgeleiders, die voorzien zijn van soldeerbollen 23.
10 Opgemerkt wordt dat zowel de eerste als de tweede aansluitgeleiders een Ball Grid Array vormen, waarbij de pitch van de eerste aansluitgeleiders en de hoogte van de eerste metaalverbindingen 24 kleiner zijn dan de pitch van de tweede aansluitgeleiders en de hoogte van de soldeerbollen 23. De aansluitgeleiders zijn vormgegeven in een laag van Cu of Al, en zonodig voorzien van een op zich bekende hechtlaag. De eerste en tweede aansluitgeleiders
15 op de eerste chip 20 zijn onderling elektrisch verbonden, al dan niet via in de eerste chip gedefinieerde elementen.

Het substraat 10 is in dit voorbeeld een leadframe en bevat een eerste zijde 11 en een tegenoverliggende zijde 12. Het bevat een eerste en een tweede elektrisch geleidende laag van Cu. Het leadframe 10 is gevormd door het op handige wijze te etsen met een half-
20 etstechniek, eerst vanaf de eerste zijde 11 en daarna vanaf de tweede zijde 12 of in omgekeerde volgorde. Dit resulteert in een heatsink 13, aansluitgeleiders 14, 15 en contactvlakken 16,17, waarbij de heatsink tegelijkertijd ook contactvlak is. De heatsink 13 is gebruikelijkerwijs met vier lijnen verbonden aan de rest van het leadframe 10. Onder de aansluitgeleiders 13,14 is open ruimte 18 aanwezig. Aan de eerste zijde 1 van het leadframe
25 10 is geleidende lijm 25 aangebracht, in casu een met zilver gevulde glasepoxylijm. Aan de eerste zijde 1 zijn voorts soldeerdots 26 bevestigd, bijvoorbeeld door te printen met een stencil.

Aldus is een constructie gegeven die bevestigd moet worden. Daarbij heeft de tweede chip 30 met de eerste metaalverbinding 24 een dikte van $150 \pm 15 \mu\text{m}$. De lagen van
30 het leadframe 10 hebben een dikte van $70 \pm 20 \mu\text{m}$, terwijl er in de locatie van het heatsink 13 ten opzichte van de aansluitgeleiders 14,15 een speling van ongeveer $20 \mu\text{m}$ is. De maximale spreiding is aldus ongeveer $55 \mu\text{m}$. Deze spreiding kan opgevangen worden door het hersmelten van de soldeerbollen 23 en de soldeerdots 26, en enigszins in de lijm laag 25, die echter dun, bijvoorbeeld in een dikte van ongeveer $20 \mu\text{m}$ gekozen is.

Fig. 1B toont de situatie na het aanbrengen van het geheel 50 van de eerste chip 20 en de tweede chip 30 aan de eerste zijde 11 van het substraat. De achterzijde 32 van de tweede chip 30 wordt hierbij in de lijmlaag 25 gedrukt, terwijl de soldeerdots en de soldeerbollen onderling verbonden worden tot een metaalverbinding 27. Zoals de vakman 5 begrijpt, is de metaalverbinding 27 pas solide na een warmtebehandeling. Het soldeer is hier een laagsmeltend SAC-soldeer, dat ruim 96% Sn, 3% Ag en ongeveer 0,5% Cu bevat. Niet weergegeven is dat bij het aanbrengen van het geheel 50 de aansluitgeleiders 14,15 licht en reversibel verbogen zijn. Dit is mogelijk aangezien er onder de aansluitgeleiders 14,15 een elastische laag aanwezig is, hier een luchtlaag. Door het verbuigen ontstaat op de 10 aansluitgeleiders 14,15 een druk om omhoog te bewegen.

Fig. 1C toont de situatie na het uitharden van de geleidende lijm. Dit gebeurt door een warmtebehandeling van 100-150 °C. De heatsink 13 van het leadframe is hierbij omhooggetrokken bij het krimpen van de lijmlaag 25. Het resultaat is een neerwaartse druk.

Fig. 1D toont de situatie nadat de metaalverbindingen 27 tot boven hun reflowtemperatuur gebracht zijn en hebben kunnen vervormen. Zonder dat de verbinding met 15 het substraat 10 of met de eerste chip 20 verbroken is, zijn de metaalverbindingen 27 afgeplat. Het resultaat is dat de spanning in de aansluitgeleiders 14,15 en de heatsink 13 gerelaxeerd is.

Fig. 2 toont de uiteindelijke inrichting 100, nadat de omhulling 80 is 20 aangebracht. De omhulling bevat een op zich bekend passiverend materiaal zoals een met glas gevulde epoxy, een polyimide of een andere hars, dat voor de gewenste uitzettingscoëfficiënt door de vakman naar wens gekozen is. Het substraat 10 is hier ingebed in de omhulling 80, waarbij ook de openingen 18 gevuld zijn en waarbij de contactvlakken aan de tweede zijde 12 voor externe contactering bereikbaar zijn. Soldeerbollen, ook van het 25 loodvrije type, kunnen hierop aangebracht worden, waarna de inrichting als geheel gereed is voor plaatsing op een drager, zoals een printed circuit board. De inrichting 100 verschilt daarbij van de buitenzijde niet van een willekeurige andere halfgeleiderinrichting.

Fig. 3 toont in schematische dwarsdoorsnede een tweede uitvoeringsvorm van de inrichting 100. In deze uitvoeringsvorm is naast een tweede chip 30 een derde chip 40 30 aanwezig. Beide chips 30,40 zijn met hun actieve zijde 31,41 naar de actieve zijde 21 van de eerste chip 20 toegekeerd. Eerste en derde metaalverbindingen 24, 28 zorgen daarbij voor het elektrisch contact. Met hun achterzijde 32,42 zijn de chips 30,40 via lijmlagen 25, 29 verbonden met een eerste heatsink 13 respectievelijk een tweede heatsink 19. De heatsinks 13,19 zijn onderling niet elektrisch geleidend verbonden en kunnen op verschillende

11

20.12.2002

spanningen bijvoorbeeld + 5 volt en - 5 volt aangedreven worden, indien gewenst. De tweede en derde chip 30,40 zijn in dit geval versterkers voor verschillende frequentiebanden. De eerste chip 20 is in dit geval een zogenoemde passieve chip, en bevat een substraat van hoogohmig silicium waarin verticale condensatoren gedefinieerd zijn. Voorts zijn aan de

5 eerste zijde 21 weerstanden, planaire condensatoren met een kleine capaciteit dan de verticale condensatoren, spoelen en aansluitgeleiders gedefinieerd.

CONCLUSIES:**1. Elektronische inrichting omvattende:**

een eerste chip met een actieve zijde en een achterzijde, aan welke actieve zijde de eerste chip van eerste en tweede aansluitgeleiders voorzien is;

5 een tweede chip met een actieve zijde en een achterzijde, aan welke actieve zijde de tweede chip van eerste aansluitgeleiders voorzien is, welke eerste en tweede chip met de actieve zijden naar elkaar toegekeerd zijn, waarbij de eerste aansluitgeleiders van de chips met eerste metaalverbindingen onderling elektrisch geleidend verbonden zijn;

10 een substraat met een eerste en een tegenoverliggende tweede zijde, welke eerste zijde naar de actieve zijde van de eerste chip is toegekeerd, welk substraat een heatsink, aansluitgeleiders en contactvlakken voor externe contactering omvat, welke heatsink met geleidende lijm verbonden is met de achterzijde van de tweede chip en welke aansluitgeleiders met een tweede metaalverbinding elektrisch geleidend verbonden zijn met de tweede aansluitgeleiders van de eerste chip, en welke contactvlakken gecontacteerd kunnen worden aan de tweede zijde van het substraat; en

15 een omhulling van passiverend materiaal, die de eerste en de tweede chip en de metaalverbindingen althans substantieel omhult en waaraan het substraat vastgehecht is.

2. Elektronische inrichting volgens Conclusie 1, met het kenmerk dat de tweede metaalverbinding ten minste gedeeltelijk een lagere reflowtemperatuur heeft dan de eerste metaalverbinding.

20

3. Elektronische inrichting volgens Conclusie 1, met het kenmerk dat het substraat een leadframe is voorzien van openingen, waarin het passiverende materiaal van de omhulling aanwezig is.

25

4. Elektronische inrichting volgens Conclusie 1, met het kenmerk dat de tweede chip in een vlak parallel aan de actieve zijde een kleinere oppervlakte heeft dan de eerste chip.

5. Elektronische inrichting volgens Conclusie 4, met het kenmerk dat de eerste chip een geïntegreerde schakeling van in hoofdzaak passieve componenten bevat, terwijl de tweede chip een geïntegreerde schakeling van in hoofdzaak actieve componenten bevat.

5 6. Elektronische inrichting volgens Conclusie 5, met het kenmerk dat de eerste chip een substraat uit gedoteerd halfgeleidermateriaal bevat met poriën, die zich in een richting in wezen loodrecht op het vlak parallel aan de actieve zijde uitstrekken en waarin condensatoren gedefinieerd zijn.

10 7. Elektronische inrichting volgens Conclusie 1, met het kenmerk dat een derde chip met een actieve zijde en een achterzijde aanwezig is, aan welke actieve zijde de derde chip van aansluitgeleiders voorzien is, welke derde chip met de actieve zijde naar de actieve zijde van de eerste chip toegekeerd is, waarbij de aansluitgeleiders van de derde chip met verdere aansluitgeleiders van de eerste chip met metaalverbindingen onderling
15 elektrisch geleidend verbonden zijn,
het substraat een tweede heatsink bevat, welke tweede heatsink met geleidende lijm verbonden is met de achterzijde van de derde chip.

20 8. Werkwijze voor het vervaardigen van een elektronische inrichting, omvattende de stappen van:

het verschaffen van een geheel van een eerste chip en een tweede chip, elk met een actieve zijde en een achterzijde, welke actieve zijden, die van eerste aansluitgeleiders voorzien zijn, naar elkaar toegekeerd zijn en de eerste aansluitgeleiders onderling elektrisch geleidend verbonden zijn met een eerste metaalverbinding, welke eerste chip aan de actieve
25 zijde voorzien is van tweede aansluitgeleiders;

het verschaffen van een substraat met met een eerste en een tegenoverliggende tweede zijde, welk substraat een heatsink, aansluitgeleiders en contactvlakken voor externe contactering omvat,

30 het aanbrengen van het geheel van de eerste en de tweede chip aan de eerste zijde van het substraat, waarbij de aansluitgeleiders met een tweede metaalverbinding elektrisch geleidend verbonden worden met de tweede aansluitgeleiders van de eerste chip, en waarbij de heatsink met geleidende lijm verbonden wordt met de achterzijde van de tweede chip;

het uitharden van de lijm;

- het hersmelten van ten minste een gedeelte van de tweede metaalverbinding onder relaxatie van spanning veroorzaakt door inkrimping van de lijmlaag tijdens het uitharden, en
- het aanbrengen van een omhulling van passiverend materiaal om de eerste en de tweede chip en om de metaalverbindingen, welk materiaal gehecht wordt aan het substraat.

9. Werkwijze volgens Conclusie 8, met het kenmerk dat de aansluitgeleiders in het substraat zich bevinden op een elastische laag, zodat bij het aanbrengen van het geheel op het substraat de aansluitgeleiders in zekere mate en reversibel kunnen verbuigen.
10. Werkwijze volgens Conclusie 8, met het kenmerk dat de tweede metaalverbinding een soldeer bevat met een reflowtemperatuur die lager is dan de reflowtemperatuur van de eerste metaalverbinding.
11. Gebruik van de inrichting volgens Conclusie 5, waarin de heatsinks met elektrisch geleidende lijm vastgezet zijn, in welk gebruik de – eerste – heatsink op een andere spanning gezet wordt dan de tweede heatsink.

ABSTRACT:

The electronic device (100) is a chip-on-chip construction on a leadframe (10) comprising a heatsink (13) in an encapsulation (80). The first chip (20) and second chip (30) are mutually connected with first bumps (24), and the first chip (20) is connected to the leadframe (10) with second bumps (27), which preferably have a lower reflow temperature than the first bumps (24). By heating the device (100) the adhesive layer (25) will first shrink causing a stress, that will be relaxed by reflowing the second bumps (27).

Fig. 2

Fig 1A

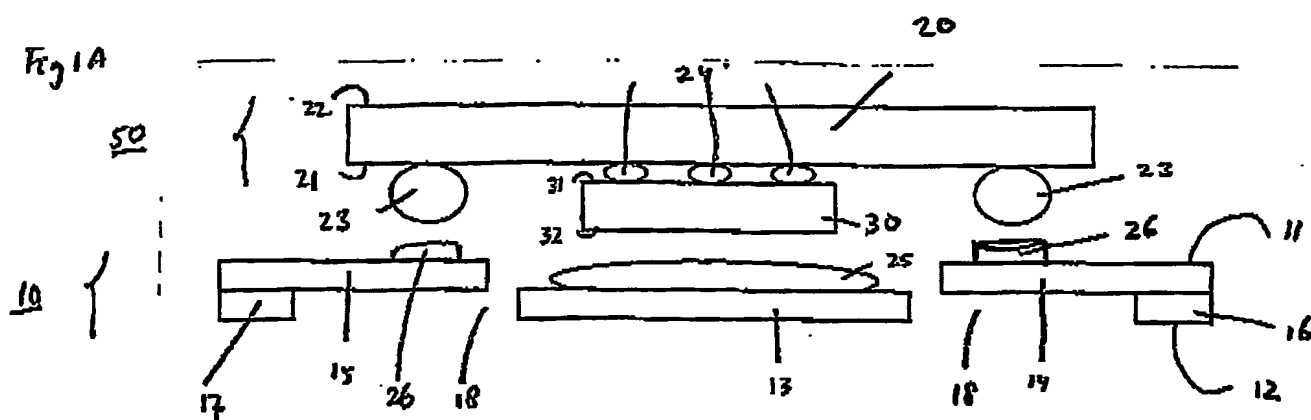


Fig 1B

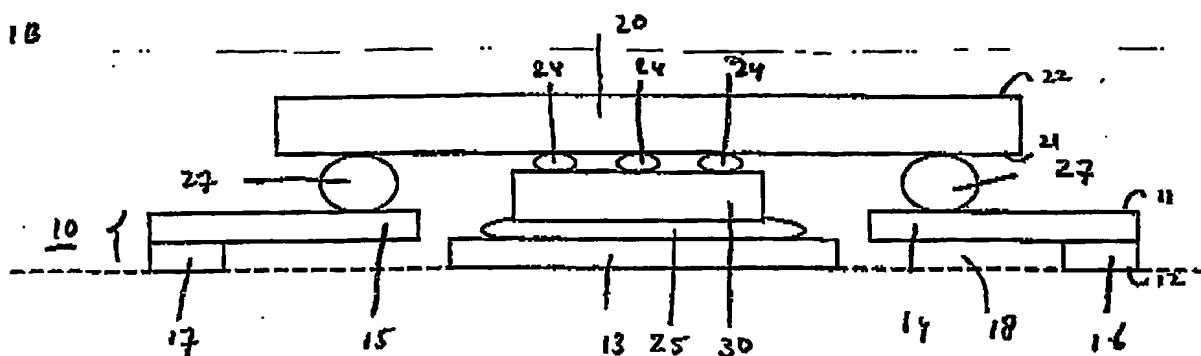


Fig 1C

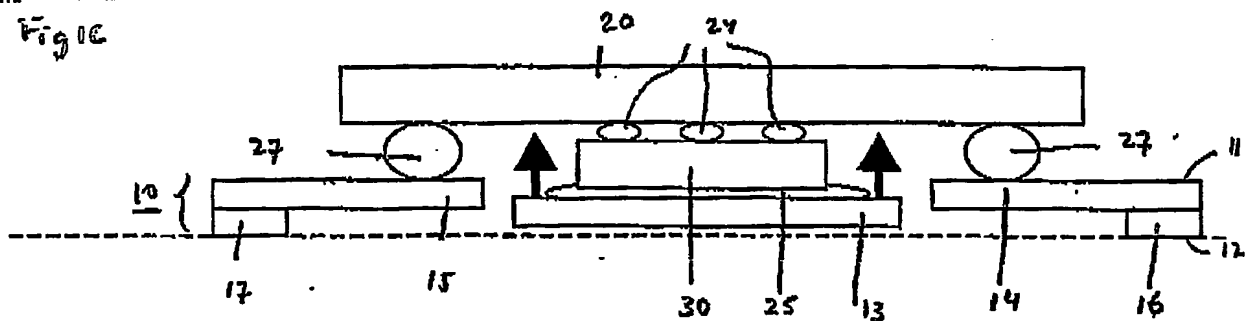


Fig 1D

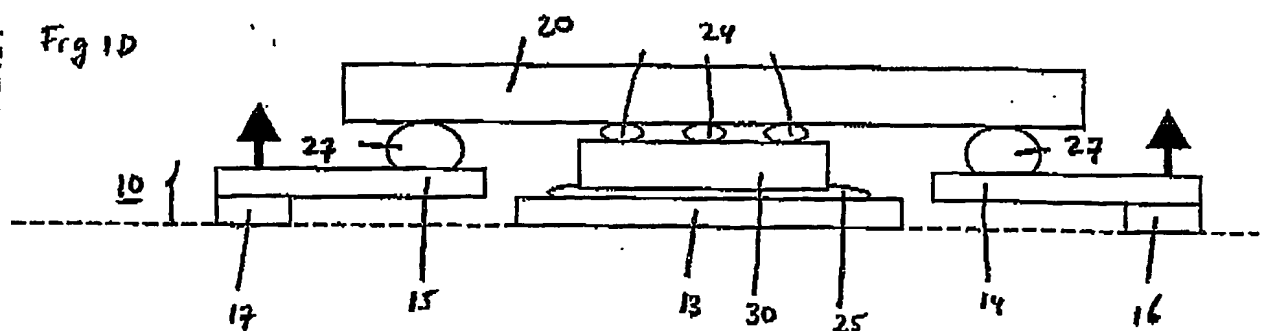


Fig. 2

2 / 2

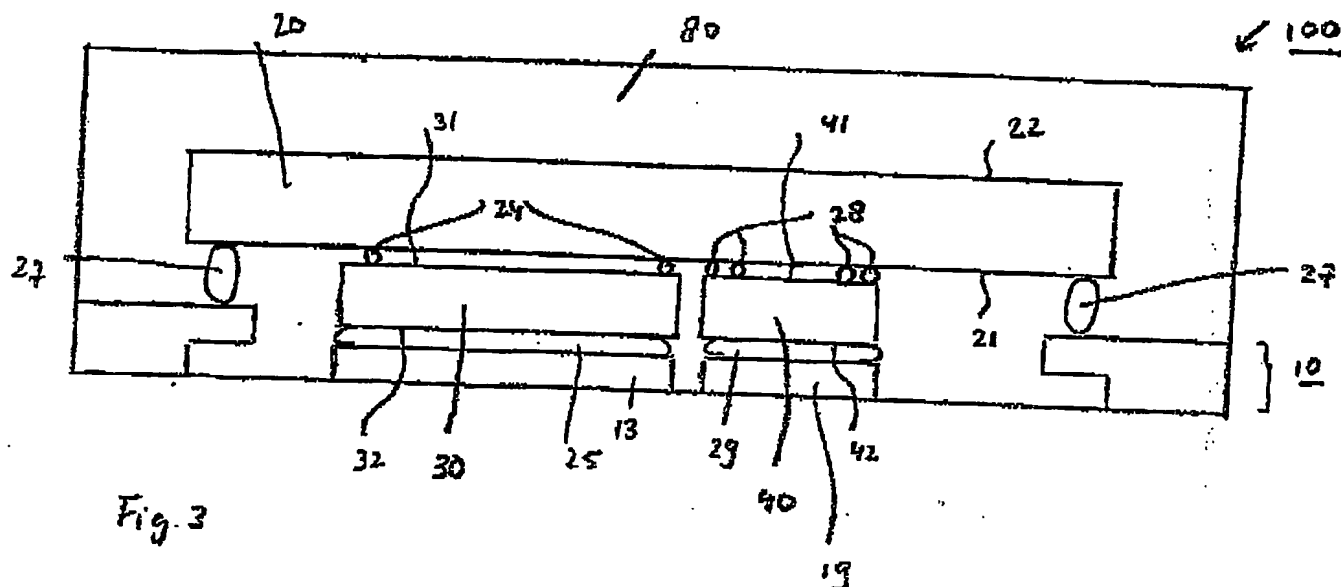
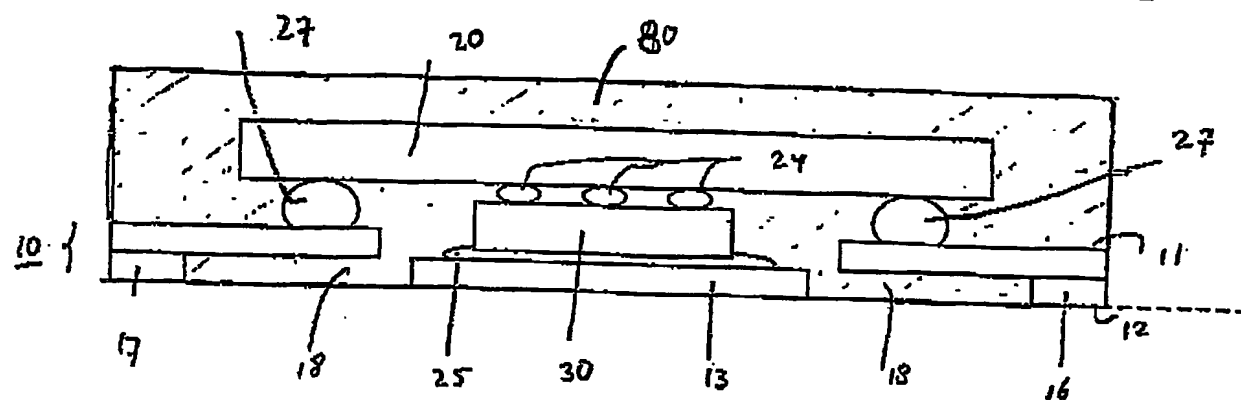


Fig. 3

PH NL 021491

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.